

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-119553
 (43)Date of publication of application : 14.05.1996

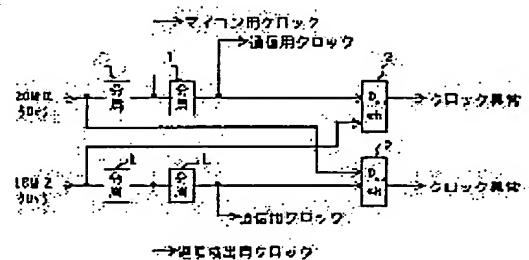
(51)Int.CI. B66B 5/02
 B66B 1/16

(21)Application number : 06-257845 (71)Applicant : HITACHI LTD
 (22)Date of filing : 24.10.1994 (72)Inventor : KASAI SHOJI
 HIROSE MASAYUKI

(54) CONTROL DEVICE FOR ELEVATOR

(57)Abstract:

PURPOSE: To highly precisely detect abnormality, to improve service and to secure safety by mutually monitoring a plural number of clocks used for control of an elevator with each other and detecting abnormality.
CONSTITUTION: A 20MHz clock for formation of a clock for a microcomputer and a clock for communication and a 16MHz clock for formation of a clock for speed detection and the clock for communication are used for an elevator control device. Each of the clocks is formed by dividing the 20MHz clock and the 16MHz clock by a dividing circuit 1. As all the earlier clocks are thought to be normal if the last divided clock is normal, the last divided clock is detected by a clock abnormality detection circuit 2 by using one of the other clocks. When the divided clock is abnormal, clock abnormality is output. Consequently, highly precise detection is possible as it is detected by a digital circuit. Additionally, as a circuit for clock abnormality detection is not specially provided, it is possible to improve productivity.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-119553

(43) 公開日 平成8年(1996)5月14日

(51) Int. C1.⁶

識別記号 序内整理番号

F I

技術表示箇所

B 6 6 B 5/02

G

1/16

Z

審査請求 未請求 請求項の数 3

O L

(全4頁)

(21) 出願番号 特願平6-257845

(22) 出願日 平成6年(1994)10月24日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 笠井 昭二

茨城県勝田市市毛1070番地 株式会社日立
製作所水戸工場内

(72) 発明者 廣瀬 正之

茨城県勝田市市毛1070番地 株式会社日立
製作所水戸工場内

(74) 代理人 弁理士 小川 勝男

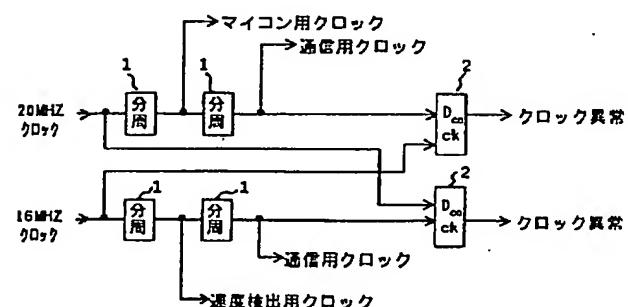
(54) 【発明の名称】エレベータの制御装置

(57) 【要約】

【構成】制御装置内に使用している複数のクロックで相互にクロックの異常を監視する。

【効果】クロック異常検出用クロックなどの専用回路を設ける必要がなく、信頼性、生産性に優れたエレベータ制御装置を提供することができる。

図 1



1

【特許請求の範囲】

【請求項1】マイクロコンピュータと、複数のクロックを備えたエレベータ制御装置において、前記クロックの異常を互いに監視するクロック異常検出回路を備えたことを特徴とするエレベータの制御装置。

【請求項2】請求項1において、前記クロック異常検出回路は、被監視クロックが所定の時間を経過しても動作しないことにより、異常を出力するエレベータの制御装置。

【請求項3】請求項2において、前記所定時間の計数は、前記被監視クロックとは別のクロックで時間を計数し、前記被監視クロックが正常の場合は前記被監視クロックで前記時間の計数をリセットし、前記被監視クロックが異常の場合は異常信号を出力するように定めたエレベータの制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は複数のクロックを用いて制御するエレベータの制御装置に関する。

【0002】

【従来の技術】従来、クロックの異常を検出する方法として、例えば、トランジスタ技術1989年12月号に記載のウォッチドッグタイマ等がある。また、特開昭53-89149号公報にクロックでカウントアップしてプリセット値と等しくなったときに出力を発生するエレベータの計数装置がある。

【0003】しかし、この方法によれば、クロック喪失時ウォッチドッグタイマあるいは、計数装置が、正常に動作せず、機能を満足しないという不具合があった。

【0004】

【発明が解決しようとする課題】エレベータ制御装置では各種のクロックを使用している。例えば、エレベータが一定距離移動する毎に得られるパルス数を計数することによりエレベータの速度を検出する回路に用いる速度検出用クロック、また、ホール呼びや、かご呼び、エレベータ監視装置等との通信に使用する各種の通信用クロックなどエレベータ制御装置に使用するクロックは、様々な周波数のクロックが用いられている。本発明の目的の一つは、サービスの向上と安全性を確保することにある。

【0005】本発明のもう一つの目的は、精度の高い検出することにある。また、クロック異常検出用回路を専用に設けないでクロック異常検出を可能とし、信頼性、生産性に優れたエレベータ制御装置を提供することにある。

【0006】

【課題を解決するための手段】上記課題を達成するため、エレベータの制御に使用している複数のクロックをお互いに監視しあい、異常を検出する。

【0007】

2

【作用】エレベータの制御には種々のクロックを使用しており、クロックを他のクロックで異常検出することにより、異常なクロックの特定ができる。

【0008】

【実施例】以下、本発明の実施例をエレベータに適用した場合について図面を参照して詳細に説明する。

【0009】図1は本発明の一実施例を示す。図において、1は分周回路、2はクロック異常検出回路、3と4は2の内部回路で、3はフリップフロップ、4と5はカウンタである。

【0010】以下、図1の動作を説明する。

【0011】図1ではマイコン用クロックと通信用クロック作成用の20MHzクロックと、速度検出用クロックと通信用クロック作成用の16MHzクロックをエレベータ制御装置に使用している。それぞれのクロックは20MHzクロックと16MHzクロックから、分周回路1で分周して作成する。最後の分周したクロックが正常であればその前のクロックは全て正常と考えられるところから、最後の分周したクロックを他のもう一方のクロックを用いてクロック異常検出回路2で検出する。分周したクロックが異常の場合、クロック異常を出力する。

【0012】次に図2について説明する。

【0013】本図はクロック異常検出回路2の詳細回路で、フリップフロップ3、カウンタ4、5、OR回路6からなる。

【0014】まず、フリップフロップ3は分周後のクロックがフリップフロップ3のDに入力され、Dの信号の正転信号と反転信号を出力する。正転信号と反転信号はそれぞれカウンタのリセット端子に入力され、一定周期毎にリセットされる。各カウンタはリセットが解除している間だけカウントアップする。そして、2**xに達するとクロック異常COを出力する。また、本回路を20MHzクロックと16MHzクロックのそれぞれに用いてそれぞれのクロック異常を検出する。

【0015】図1、図2の動作を図3と図4で説明する。

【0016】図3はクロックが正常に動作した場合のタイミングを示す。クロックが正常のときはカウンタ4、カウンタ5とも2**xに達する前にリセットされてクロック異常COを出力しない。

【0017】図4はクロックが異常となり、D入力がロー(Low)になったままの場合を示す。この場合、カウンタ5がカウントアップを続けて2**xに達したときにクロック異常COを出力する。ここで、D入力がハイ(High)になったままの場合はカウンタ4がカウントアップを続けて2**xに達したときにクロック異常COを出力する。

【0018】本方式によればデジタル回路で検出するため精度良い検出が可能である。また、それぞれのクロック異常を検出することにより、クロックを使用する回路

50

毎に、例えば、エレベータ監視装置に異常信号を発することや、エレベータ最寄階停止や、エレベータ即時停止など用途の重要度によって制御方法を分けて制御することができる。

【0019】

【発明の効果】本発明によれば、エレベータ制御装置内に使用しているクロックで相互監視することから用途の重要度によって制御方法を分けて制御することができ、サービスの向上と安全性を確保できる。また、異なるクロックで相互にクロック異常を検出することにより、クロック異常検出用クロックなどの専用回路を設ける必要

がないため、生産性に優れたエレベータ制御装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例の説明図。

【図2】クロック異常検出回路図。

【図3】クロックが正常時のタイミングチャート。

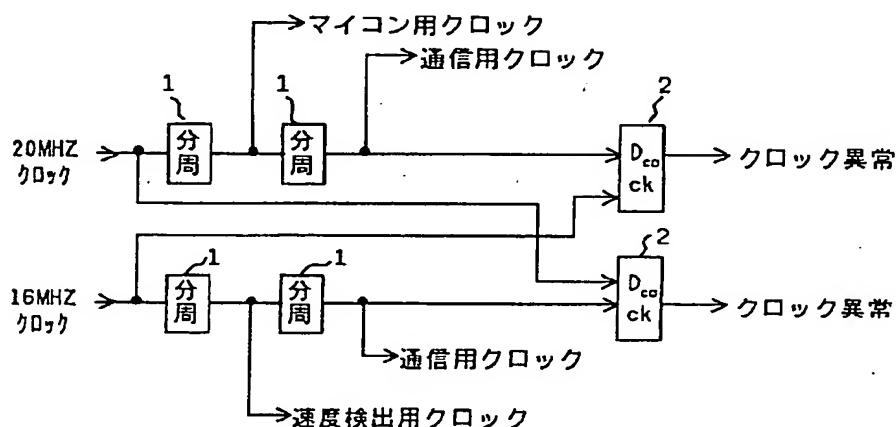
【図4】クロックが異常時のタイミングチャート。

【符号の説明】

1…分周回路、2…クロック異常検出回路、3…フリップフロップ回路、4, 5…カウンタ回路、6…OR回路。

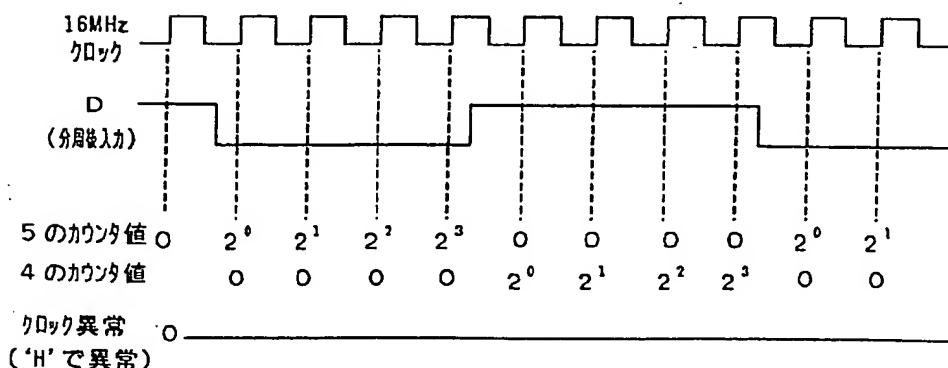
【図1】

図 1



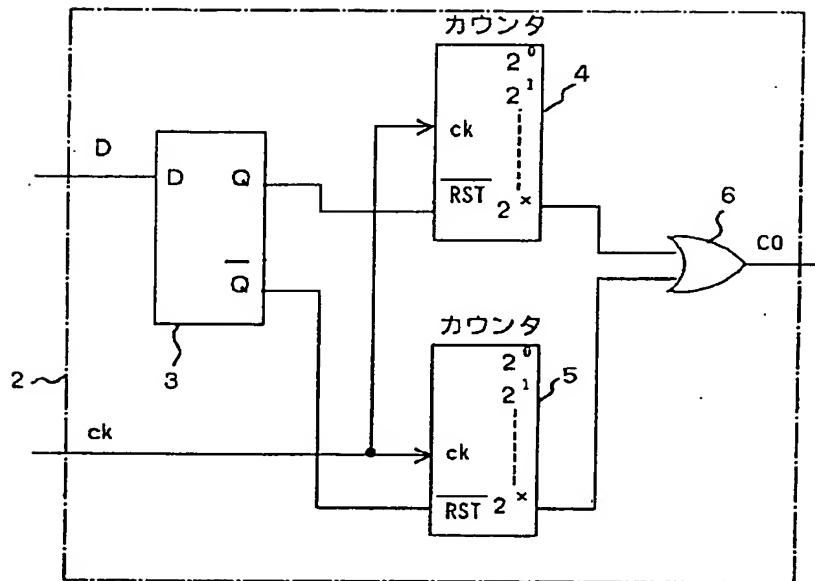
【図3】

図 3



【図2】

図 2



【図4】

図 4

